

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-124835

(P2002-124835A)

(43)公開日 平成14年4月26日 (2002.4.26)

(51)Int.Cl.<sup>7</sup>  
H 03 F 1/02  
G 05 F 3/24  
3/26  
H 03 F 1/30  
3/45

識別記号

F I  
H 03 F 1/02  
G 05 F 3/24  
3/26  
H 03 F 1/30  
3/45

テマコート\*(参考)  
5 H 4 2 0  
B 5 J 0 6 6  
5 J 0 9 0  
B 5 J 0 9 2  
A

審査請求 未請求 請求項の数13 O L (全 15 頁)

(21)出願番号 特願2000-314259(P2000-314259)

(22)出願日 平成12年10月13日 (2000.10.13)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 池田 益英

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74)代理人 100095728

弁理士 上柳 雅善 (外1名)

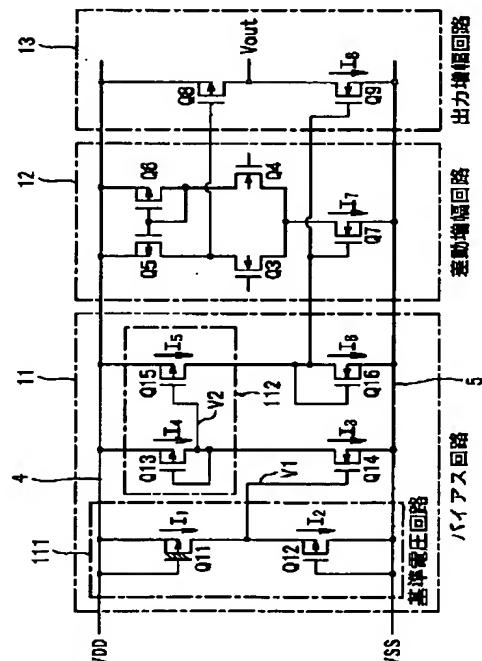
最終頁に続く

(54)【発明の名称】 演算增幅回路、定電圧回路および基準電圧回路

(57)【要約】

【課題】 低消費電流化が可能で、電源電圧に依存せず、かつ量産ばらつきも小さく抑えることができる演算增幅回路の提供など。

【解決手段】 この発明は、バイアス回路11、差動増幅回路12、および出力増幅回路13からなる。バイアス回路11は、基準電圧回路111、カレントミラー回路112を含んでいる。基準電圧回路111は、デブレッシュ型のPMOSトランジスタQ11と、エンハンスマント型のPMOSトランジスタQ12とを直列に接続している。MOSトランジスタQ11のゲート電極は、P型不純物を含んだポリシリコンで形成し、かつ、MOSトランジスタQ12のゲート電極は、N型不純物を含んだポリシリコンで形成している。そして、両MOSトランジスタの両しきい値電圧の差に応じた電圧を、両MOSトランジスタの共通接続部に基準電圧として発生するようにしている。



## 【特許請求の範囲】

【請求項1】 差動信号を入力して差動増幅を行う差動増幅回路と、この差動増幅回路の出力を増幅する出力増幅回路と、前記差動増幅回路および前記出力増幅回路のバイアスを決めるバイアス回路とを有する演算増幅回路において、前記バイアス回路は、所定の基準電圧を発生する基準電圧回路と、この基準電圧回路の発生基準電圧に基づいて前記バイアスに係る基準電流を生成するカレントミラー回路とを含み、前記基準電圧回路は、同一導電型の第1MOSトランジスタと第2MOSトランジスタとを直列に接続し、前記第1MOSトランジスタのゲート電極は、P型不純物を含んだポリシリコンで形成するとともにそのソース電極と接続し、かつ、前記第2MOSトランジスタのゲート電極は、N型不純物を含んだポリシリコンで形成するとともにそのドレイン電極と接続し、前記両MOSトランジスタの両しきい値電圧の差に応じた電圧を、前記両MOSトランジスタの共通接続部に前記基準電圧として発生するようにしたことを特徴とする演算増幅回路。

【請求項2】 前記第1MOSトランジスタはデブレッシュョン型のトランジスタであり、前記第2MOSトランジスタはエンハンスマント型のトランジスタであることを特徴とする請求項1に記載の演算増幅回路。

【請求項3】 前記第1MOSトランジスタは、複数段直列に接続されていることを特徴とする請求項1または請求項2に記載の演算増幅回路。

【請求項4】 差動信号を入力して差動増幅を行う差動増幅回路と、この差動増幅回路の出力を増幅する出力増幅回路と、前記差動増幅回路および前記出力増幅回路のバイアスを決めるバイアス回路とを有する演算増幅回路において、前記バイアス回路は、所定の基準電圧を発生する基準電圧回路を含み、

この基準電圧回路は、同一導電型の第1MOSトランジスタと第2MOSトランジスタとを直列に接続し、前記第1MOSトランジスタのゲート電極は、N型不純物を含んだポリシリコンで形成するとともにそのドレイン電極と接続し、かつ、前記第2MOSトランジスタのゲート電極は、P型不純物を含んだポリシリコンで形成するとともにそのソース電極と接続し、

前記両MOSトランジスタの両しきい値電圧の差に応じた電圧を、前記両MOSトランジスタの共通接続部に前記基準電圧として発生するようにしたことを特徴とする演算増幅回路。

【請求項5】 前記第1MOSトランジスタはエンハンスマント型のトランジスタであり、前記第2MOSトランジスタはデブレッシュョン型のトランジスタであることを特徴とする請求項4に記載の演算増幅回路。

【請求項6】 前記第1MOSトランジスタと前記第2MOSトランジスタは、ゲート電極の酸化膜の厚さ、キ

ヤリアの移動度、および誘電率を同一にしたことを特徴とする請求項1乃至請求項5のいずれかに記載の演算増幅回路。

【請求項7】 前記第1MOSトランジスタと前記第2MOSトランジスタのチャネル長とチャネル幅とを同一にしたことを特徴とする請求項1乃至請求項6のいずれかに記載の演算増幅回路。

【請求項8】 前記第1MOSトランジスタと前記第2MOSトランジスタは、そのチャネル長を短くし、そのチャネル長を短くした分だけゲート電極の酸化膜の厚さを厚くするようにしたことを特徴とする請求項1乃至請求項7のいずれかに記載の演算増幅回路。

【請求項9】 前記第1MOSトランジスタと前記第2MOSトランジスタをLOCOSオフェット構造にしたことを特徴とする請求項1乃至請求項8のいずれかに記載の演算増幅回路。

【請求項10】 前記第1MOSトランジスタと前記第2MOSトランジスタは、同一の条件でチャネルドープし、しきい値電圧を下げるようにしたことを特徴とする請求項1乃至請求項9のいずれかに記載の演算増幅回路。

【請求項11】 請求項1乃至請求項10のいずれかに記載された演算増幅回路と、前記演算増幅回路の出力増幅回路の負荷として接続され、その出力増幅回路の出力電圧を任意に分圧するようになっているトリミング回路とを備え、

前記演算増幅回路の基準電圧回路で発生する発生基準電圧を、前記演算増幅回路の差動増幅回路の一方の入力端子に入力するとともに、前記トリミング回路の分圧電圧を、前記差動増幅回路の他方の入力端子に入力するようになっていることを特徴とする定電圧回路。

【請求項12】 第1導電型のデブレッシュョン型のMOSトランジスタと第1導電型のエンハンスマント型のMOSトランジスタとを直列に接続し、

前記デブレッシュョン型のMOSトランジスタのゲート電極とソース電極とを第1の電位を供給する第1電源線に接続し、

前記エンハンスマント型のMOSトランジスタのゲート電極とドレイン電極とを第1の電位よりも低い第2の電位を供給する第2電源線に接続し、

前記デブレッシュョン型のMOSトランジスタのゲート電極は、前記第1導電型の不純物を含み、

前記エンハンスマント型のMOSトランジスタのゲート電極は、第2導電型の不純物を含み、

出力端子を前記デブレッシュョン型のMOSトランジスタのドレイン電極と前記エンハンスマント型のMOSトランジスタのソース電極との接続点に設けたことを特徴とする基準電圧回路。

【請求項13】 前記デブレッシュョン型MOSトランジスタのしきい値電圧と前記エンハンスマント型MOSト

ランジスタのしきい値電圧との差に応じた電圧を、前記出力端子に基準電圧として発生するようにしたことを特徴とする請求項12に記載の基準電圧回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、低消費電流が可能で、電源電圧に依存せず、かつ量産のばらつきも小さく抑えられる演算增幅回路、およびその演算增幅回路を利用した定電圧回路に関する。

【0002】

【従来の技術】従来の演算增幅回路としては、図11に示すようなものが知られている。この演算增幅回路は、図11に示すように、バイアス回路1と、差動增幅回路2と、出力增幅回路3とを少なくとも備えている。

【0003】バイアス回路1は、基準電圧を発生するとともに、この基準電圧に基づいて差動增幅回路2のNMOSトランジスタQ7に流れる電流と、出力增幅回路3のNMOSトランジスタQ9に流れる電流とを一定にするための回路である。このため、バイアス回路1は、図11に示すように、PMOSトランジスタQ1とNMOSトランジスタQ2を直列に接続し、この直列回路を電源ライン4、5間に接続している。

【0004】差動增幅回路2は、差動信号を差動增幅す\*

$$\begin{aligned} I &= \beta_0 \times (W/L) \{ (V_{GS} - V_{TP}) \times V_{DS} - 1/2 \times (V_{DS})^2 \} \\ &= \beta_0 \times (W/L) \{ (V_{DD} - V_{TP}) \times (V_{DD} - V_1) - 1/2 \times (V_{DD} - V_1)^2 \} \dots (1) \end{aligned}$$

また、PMOSトランジスタQ1が飽和領域で動作する場合は、PMOSトランジスタQ1に流れる電流Iは、※

$$\begin{aligned} I &= 1/2 \times \beta_0 \times (W/L) (V_{GS} - V_{TP})^2 \\ &= 1/2 \times \beta_0 \times (W/L) (V_{DD} - V_{TP})^2 \dots (1A) \end{aligned}$$

なお、PMOSトランジスタQ1がどちらの領域で動作するかは、PMOSトランジスタQ1のしきい値電圧 $V_{TP}$ と、NMOSトランジスタQ2のしきい値電圧 $V_{TN}$ の大小関係で決まり、 $V_{TP} > V_{TN}$ のときに飽和領域で動作する。

【0010】上式中において、 $\beta_0$ はプロセスで決まる定数、WはPMOSトランジスタQ1のチャネル幅、Lはそのチャネル長、VDDは電源電圧、V1はNMOSトランジスタQ2のドレイン電圧、 $V_{TP}$ はPMOSトランジスタQ1のしきい値電圧である。

【0011】また、PMOSトランジスタのしきい値電圧が正の場合はエンハンスマント型トランジスタ、そのしきい値電圧が負の場合はデプレッション型であると定義して説明し、本願明細書を通して、この定義に従うものとする。

$$V_{TP} = - \{ 2\phi_F + \phi_n - \phi_s - (Q_s/C_s) - (Q_{ss}/C_s) \} \dots (2)$$

ただし、(2)式中において、 $\phi_F$ はシリコン基板のフェルミ順位、 $\phi_n$ はゲート電極の仕事関数、 $\phi_s$ はシリコン基板の仕事関数、 $Q_s$ はシリコンの表面の電荷量、

\*る回路であり、図11に示すように、定電流源となるNMOSトランジスタQ7でバイアスされた差動対のNMOSトランジスタQ3、Q4から構成する。そのNMOSトランジスタQ3、Q4には、PMOSトランジスタQ5、Q6からなるカレントミラー回路を能動負荷として接続している。

【0005】出力增幅回路3は、図11に示すように、差動增幅回路2からの出力信号をNMOSトランジスタQ9を能動負荷とするPMOSトランジスタQ8で増幅し、出力するようになっている。

【0006】このような構成からなる従来の演算增幅回路におけるバイアス回路1では、PMOSトランジスタQ1は線形領域または飽和領域のどちらでも動作させることができ可能である。そこで、PMOSトランジスタQ1を線形領域および飽和領域で動作させる場合のそれについて、PMOSトランジスタQ1に流れる電流Iを検討する。

【0007】まず、PMOSトランジスタQ1が線形領域で動作する場合は、電源電圧 $V_{SS}$ を $V_{SS} = 0$ とすると、PMOSトランジスタQ1に流れる電流Iは、次の(1)式となる。

【0008】

※次の(1A)式となる。

【0009】

★【0012】

【発明が解決しようとする課題】ところで、上記の(1)式と(1A)式に示されたように、PMOSトランジスタQ1に流れる電流Iは、線形領域および飽和領域のどちらの場合であっても電源電圧VDDに依存し、ほぼ電源電圧VDDの2乗で増加する。また、その電流Iは、MOSトランジスタQ2、Q7、Q9に流れるバイアス電流を規定する。このため、電源電圧VDDの2乗でバイアス電流が増加するので、電源電圧VDDが変動(増加)すると、演算增幅回路の全体の消費電力が増加するという不都合がある。

【0013】一方、PMOSトランジスタQ1のしきい値電圧 $V_{TP}$ は、一般に以下に示す(2)式により決定される。

★【0014】

$Q_{ss}$ はシリコンと酸化膜との界面電荷量、 $C_s$ はゲートの単位面積あたりの容量である。

【0015】従って、PMOSトランジスタQ1のしき

い値電圧  $V_{Tf}$  は、(2) 式に示すように 6 つのパラメータに依存するので、しきい値電圧  $V_{Tf}$  のばらつきが大きくなり、この結果、製造ばらつきによっても消費電流がばらつくという不都合があった。

【0016】そこで、本発明の第 1 の目的は、低消費電流化が可能で、電源電圧に依存せず、かつ量産ばらつきも小さく抑えることができる演算增幅回路を提供することにある。

【0017】また、本発明の第 2 の目的は、上記の演算增幅回路を利用するようにし、低消費電流化が可能で、電源電圧に依存せず、かつ量産ばらつきも小さく抑えることができる定電圧幅回路を提供することにある。

【0018】さらに、本発明の第 3 の目的は、電源電圧に依存しない基準電圧を発生できる基準電圧回路を提供することにある。

【0019】

【課題を解決するための手段】上記課題を解決し、本発明の第 1 の目的を達成するために、請求項 1 ~ 請求項 10 に記載の発明は以下のように構成した。

【0020】すなわち、請求項 1 に記載の発明は、差動信号を入力して差動增幅を行う差動增幅回路と、この差動增幅回路の出力を増幅する出力增幅回路と、前記差動增幅回路および前記出力增幅回路のバイアスを決めるバイアス回路とを有する演算增幅回路において、前記バイアス回路は、所定の基準電圧を発生する基準電圧回路と、この基準電圧回路の発生基準電圧に基づいて前記バイアスに係る基準電流を生成するカレントミラー回路とを含み、前記基準電圧回路は、同一導電型の第 1 MOS トランジスタと第 2 MOS トランジスタとを直列に接続し、前記第 1 MOS トランジスタのゲート電極は、P 型不純物を含んだポリシリコンで形成するとともにそのソース電極と接続し、かつ、前記第 2 MOS トランジスタのゲート電極は、N 型不純物を含んだポリシリコンで形成するとともにそのドレン電極と接続し、前記両 MOS トランジスタの共通接続部に前記基準電圧として発生するようにしたことを特徴とするものである。

【0021】請求項 2 に記載の発明は、請求項 1 に記載の演算增幅回路において、前記第 1 MOS トランジスタはデブレッショング型のトランジスタであり、前記第 2 MOS トランジスタはエンハンスマント型のトランジスタであることを特徴とするものである。

【0022】請求項 3 に記載の発明は、請求項 1 または請求項 2 に記載の演算增幅回路において、前記第 1 MOS トランジスタは、複数段直列に接続されていることを特徴とするものである。

【0023】このような構成からなる請求項 1 ~ 請求項 3 にかかる各発明によれば、基準電圧回路は、電源電圧に依存しない基準電圧を発生でき、これにより各回路の

バイアス電流（消費電流）の低減化が可能となる。

【0024】さらに、請求項 3 にかかる発明では、トランジスタが 1 つの場合に比べて演算增幅回路（オペアンプ）の電源電圧を高くすることができる。

【0025】請求項 4 に記載の発明は、差動信号を入力して差動增幅を行う差動增幅回路と、この差動增幅回路の出力を増幅する出力增幅回路と、前記差動增幅回路および前記出力增幅回路のバイアスを決めるバイアス回路とを有する演算增幅回路において、前記バイアス回路

10 は、所定の基準電圧を発生する基準電圧回路を含み、この基準電圧回路は、同一導電型の第 1 MOS トランジスタと第 2 MOS トランジスタとを直列に接続し、前記第 1 MOS トランジスタのゲート電極は、N 型不純物を含んだポリシリコンで形成するとともにそのドレン電極と接続し、かつ、前記第 2 MOS トランジスタのゲート電極は、P 型不純物を含んだポリシリコンで形成するとともにそのソース電極と接続し、前記両 MOS トランジスタの両しきい値電圧の差に応じた電圧を、前記両 MOS トランジスタの共通接続部に前記基準電圧として発生するようにしたことを特徴とするものである。

【0026】請求項 5 に記載の発明は、請求項 4 に記載の演算增幅回路において、前記第 1 MOS トランジスタはエンハンスマント型のトランジスタであり、前記第 2 MOS トランジスタはデブレッショング型のトランジスタであることを特徴とするものである。

【0027】このような構成からなる請求項 4 および請求項 5 にかかる発明によれば、基準電圧回路は、電源電圧に依存しない基準電圧を発生でき、これにより各回路のバイアス電流（消費電流）の低減化が可能となる。

30 【0028】請求項 6 に記載の発明は、請求項 1 乃至請求項 5 のいずれかに記載の演算增幅回路において、前記第 1 MOS トランジスタと前記第 2 MOS トランジスタは、ゲート電極の酸化膜の厚さ、キャリアの移動度、および誘電率を同一にしたことを特徴とするものである。

【0029】このような構成によれば、基準電圧回路の発生基準電圧が、ゲート電極の酸化膜の厚さ、キャリアの移動度、および誘電率に依存しなくなる。

40 【0030】請求項 7 に記載の発明は、請求項 1 乃至請求項 6 のいずれかに記載の演算增幅回路において、前記第 1 MOS トランジスタと前記第 2 MOS トランジスタのチャネル長とチャネル幅とを同一にしたことを特徴とするものである。

【0031】このような構成によれば、基準電圧回路の発生基準電圧が、トランジスタのチャネル長やチャネル幅の物理的なプロセスのばらつきに依存しなくなる。

【0032】請求項 8 に記載の発明は、請求項 1 乃至請求項 7 のいずれかに記載の演算增幅回路において、前記第 1 MOS トランジスタと前記第 2 MOS トランジスタは、そのチャネル長を短くし、そのチャネル長を短くした分だけゲート電極の酸化膜の厚さを厚くするようにし

たことを特徴とするものである。

【0033】このような構成によれば、レイアウト的にトランジスタの面積を小さくすることができます。

【0034】請求項9に記載の発明は、請求項1乃至請求項8のいずれかに記載の演算增幅回路において、前記第1MOSトランジスタと前記第2MOSトランジスタをLOCOSオフセット構造にしたことを特徴とするものである。

【0035】このような構成によれば、トランジスタのドレイン耐圧が向上するので、演算增幅回路の動作電圧を上げることができる。

【0036】請求項10に記載の発明は、請求項1乃至請求項9のいずれかに記載の演算增幅回路において、前記第1MOSトランジスタと前記第2MOSトランジスタは、同一の条件でチャネルドーブし、しきい値電圧を下げるようとしたことを特徴とするものである。

【0037】一方、本発明の第2の目的を達成するため、請求項11に記載の発明は以下のように構成した。

【0038】すなわち、請求項11に記載の発明は、請求項1乃至請求項10のいずれかに記載された演算增幅回路と、前記演算增幅回路の出力增幅回路の負荷として接続され、その出力增幅回路の出力電圧を任意に分圧するようになっているトリミング回路とを備え、前記演算增幅回路の基準電圧回路で発生する発生基準電圧を、前記演算增幅回路の差動增幅回路の一方の入力端子に入力するとともに、前記トリミング回路の分圧電圧を、前記差動增幅回路の他方の入力端子に入力するようになっていることを特徴とするものである。

【0039】このような構成によれば、基準電圧回路は、電源電圧に依存しない基準電圧を発生でき、これにより各回路のバイアス電流（消費電流）の低減化が可能となる。また、基準電圧回路が発生する基準電圧のばらつきが小さくなるので、トリミング量を減少させてトリミング回路の規模を小さくできる。

【0040】さらに、本発明の第3の目的を達成するために、請求項12および請求項13に記載の発明は以下のように構成した。

【0041】すなわち、請求項12に記載の発明は、第1導電型のデブレッショントランジスタと第1導電型のエンハンスマント型のMOSトランジスタとを直列に接続し、前記デブレッショントランジスタのゲート電極とソース電極とを第1の電位を供給する第1電源線に接続し、前記エンハンスマント型のMOSトランジスタのゲート電極とドレイン電極とを第1の電位よりも低い第2の電位を供給する第2電源線に接続し、前記デブレッショントランジスタのゲート電極は、前記第1導電型の不純物を含み、前記エンハンスマント型のMOSトランジスタのゲート電極は、第2導電型の不純物を含み、出力端子を前記デブレッショントランジスタのドレイン電極と前記エン

ハンスマント型のMOSトランジスタのソース電極との接続点に設けたことを特徴とするものである。

【0042】また、請求項13に記載の発明は、請求項12に記載の基準電圧回路において、前記デブレッショントランジスタのしきい値電圧と前記エンハンスマント型MOSトランジスタのしきい値電圧との差に応じた電圧を、前記出力端子に基準電圧として発生するようにしたことを特徴とするものである。

【0043】このような構成からなる請求項12、請求項13にかかる発明によれば、電源電圧に依存しない基準電圧を発生できる。

【0044】

【発明の実施の形態】以下、本発明の実施形態について図面を参照して説明する。

【0045】図1は、本発明の演算增幅回路の第1実施形態の回路の構成を示す回路図である。

【0046】本発明の演算增幅回路の第1実施形態は、図1に示すように、バイアス回路11と、差動增幅回路12と、出力增幅回路13とを、少なくとも備えている。

バイアス回路11は、基準電圧を発生する基準電圧回路111と、この基準電圧回路111の発生基準電圧に基づいて所定の基準電流を生成し、この生成基準電流が写されて出力電流となるカレントミラー回路112と、を含んでいる。基準電圧回路111は、デブレッショントランジスタQ11と、エンハンスマント型のPMOSトランジスタQ12とが直列に接続され、この直列回路が電源ライン4と電源ライン5との間に接続され、両MOSトランジスタQ11、Q12のしきい値電圧の差に応じた基準電圧を生成し、この生成基準電圧を両MOSトランジスタQ11、Q12の共通接続部から取り出すようになっている。

【0047】さらに具体的に説明すると、PMOSトランジスタQ11は、そのゲート電極とそのソース電極とが電源ライン4に接続されるとともに、そのドレイン電極がPMOSトランジスタQ12のソース電極とNMOSトランジスタQ14にゲート電極に接続されている。PMOSトランジスタQ12は、そのゲート電極とそのドレイン電極とが電源ライン5に接続され、そのソース電極がNMOSトランジスタQ14にゲート電極に接続されている。また、電源ライン4には第1の電位（VDD）が供給され、電源ライン5には、第1の電位よりも低い第2の電位（VSS）が供給されるようになっている。

【0048】カレントミラー回路112は、カレントミラーを構成するPMOSトランジスタQ13、Q15を有している。そして、基準電圧回路111からの基準電圧をNMOSトランジスタQ14のゲートに入力することにより、PMOSトランジスタQ13に定電流が流れ、この定電流をPMOSトランジスタQ15が写しとることによりMOSトランジスタQ16にもその定電流

が流れようになっている。また、MOSトランジスタQ16、Q7、Q9はカレントミラーを構成し、差動增幅回路12のNMOSトランジスタQ7と、出力增幅回路13のNMOSトランジスタQ9とともにその定電流が流れようになっている。

【0049】さらに具体的に説明すると、PMOSトランジスタQ13は、そのソース電極が電源ライン4に接続され、そのゲート電極とそのドレイン電極が共通接続され、その共通接続部がNMOSトランジスタQ14のドレイン電極に接続されるとともにPMOSトランジスタQ15のゲート電極に接続されている。NMOSトランジスタQ14は、そのゲート電極がPMOSトランジスタQ11、Q12の共通接続部に接続され、そのソース電極が電源ライン5に接続されている。

【0050】また、PMOSトランジスタQ15は、そのソース電極が電源ライン4に接続され、そのドレイン電極がNMOSトランジスタQ16のドレイン電極に接続されている。さらに、NMOSトランジスタQ16は、そのゲート電極がそのドレイン電極に接続され、その接続部がNMOSトランジスタQ7、Q9の各ゲート電極に接続され、かつ、そのソース電極が電源ライン5に接続されている。

【0051】差動增幅回路12および出力增幅回路13は、図11に示す差動增幅回路2および出力增幅回路3とその構成が同一であるので、同一の構成要素には同一符号を付し、その構成の説明は省略する。

【0052】次に、基準電圧回路111におけるPMOSトランジスタQ11、Q12の構造について、図2を参照して説明する。

【0053】PMOSトランジスタQ11、Q12は、図2に示すように、P-基板21上にそれぞれ形成されている。より具体的には、P-基板21中にN-ウェル22、23がそれぞれ形成され、そのN-ウェル22、23内に形成されている。N-ウェル22内には、PMOSトランジスタQ11の基板端子24と接続されるN+拡散層25と、そのソース端子26と接続されるP+拡散層27と、そのドレイン端子28と接続されるP+拡散層29とが、それぞれ形成されている。N-ウェル22上の所定位置には、酸化シリコンからなる絶縁膜30が形成され、その絶縁膜30内にはPMOSトランジスタQ11のゲート電極31が形成されている。ゲート電極31は、P型不純物を含んだポリシリコンで形成され、その極性がP+となっている。

\*

$$I_1 = 1/2 \times \beta_{op1} \times (W_{p1}/L_{p1}) \times (0 - V_{tp1})^2 \dots (3)$$

但し、(3)式において、 $\beta_{op1}$ はプロセスで決まるパラメータ、 $W_{p1}$ はPMOSトランジスタQ11のチャネル幅、 $L_{p1}$ はそのチャネル長、 $V_{tp1}$ はそのしきい値電圧である。

【0061】一方、PMOSトランジスタQ12も $V_{cs} \approx$

$$I_2 = 1/2 \times \beta_{op2} \times (W_{p2}/L_{p2}) \times (V_1 - 0 - V_{tp2})^2 \dots (4)$$

\* 【0054】N-ウェル23内には、PMOSトランジスタQ12の基板端子34と接続されるN+拡散層35と、そのソース端子36と接続されるP+拡散層37と、そのドレイン端子38と接続されるP+拡散層39とが、それぞれ形成されている。N-ウェル23上の所定位置には、酸化シリコンからなる絶縁膜30が形成され、その絶縁膜30内にはPMOSトランジスタQ12のゲート電極41が形成されている。ゲート電極41は、N型不純物を含んだポリシリコンで形成され、その極性がN+となっている。

【0055】このような構造からなるPMOSトランジスタQ11、Q12では、PMOSトランジスタQ11をデブレッショントランジスタ、PMOSトランジスタQ12をエンハンスマント型のトランジスタとなるようしているが、PMOSトランジスタQ11がデブレッショントランジスタになる理由について説明する。

【0056】既に述べたように、トランジスタのしきい値電圧は、(2)式によって決定される。(2)式に示される通り、しきい値電圧はゲート電極の仕事関数 $\phi_g$ やシリコン基板の仕事関数 $\phi_b$ に依存する。

【0057】従って、ゲート電極への不純物濃度やウェルへの濃度を調整すれば、ゲート電極の仕事関数 $\phi_g$ とシリコン基板の仕事関数 $\phi_b$ を変えることができ、PMOSトランジスタQ11をデブレッショントランジスタ、すなわち、そのしきい値電圧 $V_{tp1}$ (P+)を、 $V_{tp2}$ (P+) < 0とすることが可能である。

【0058】次に、このような構成からなる本発明の演算增幅回路の第1実施形態の動作について、図1を参照して説明する。

【0059】まず、図1の基準電圧回路111の動作について説明する。PMOSトランジスタQ11は、上述のようにデブレッショントランジスタであるので、ゲートとソースとの電位が同一でもPMOSトランジスタQ11には電流が流れる。ところで、PMOSトランジスタQ11は、ゲート・ソース電圧を $V_{gs}$ 、しきい値電圧を $V_{tp}$ 、ドレイン・ソース電圧を $V_{ds}$ とすると、 $V_{gs} - V_{tp} = 0 - V_{tp} < V_{ds}$ 、すなわち $V_{gs} - V_{tp} < V_{ds}$ の関係が成り立つよう高い電源電圧 $V_{DD}$ が与えられる範囲で正常に動作し、またこの時飽和領域で動く。従って、PMOSトランジスタQ11に流れる電流 $I_1$ は、次の(3)式で表される。

【0060】

$\approx = V_{ds}$ より、 $V_{gs} - V_{tp} < V_{ds}$ の関係が成り立つので、飽和領域で動く。従って、PMOSトランジスタQ12に流れる電流 $I_2$ は、次の(4)式で表される。

【0062】

但し、(4)式において、 $\beta_{op2}$  はプロセスで決まるパラメータ、 $W_{p2}$  はPMOSトランジスタQ12のチャネル幅、 $L_{p2}$  はそのチャネル長、 $V_{tp2}$  はそのしきい値電圧、 $V1$  はPMOSトランジスタQ11、Q12の共通接続点の電圧(基準電圧)である。

$$V1 = V_{tp2} - \sqrt{((W_{p1} \div L_{p1}) \div (W_{p2} \div L_{p2})) \times (\beta_{op1} \div \beta_{op2})} \times V_{tp1} \quad \dots (5)$$

(5)式において、 $\sqrt{(\cdot)}$  は、 $(\cdot)$  内の平方根を意味し、以下の場合も同様である。

【0065】(5)式によれば、基準電圧回路11で発生する基準電圧 $V1$ は、電源電圧 $VDD$ に依存しないことがわかる。

【0066】次に、図1のバイアス回路11のうち基準電圧発生回路111の部分を除く動作について説明する。すなわち、NMOSトランジスタQ14が、バイアス電流を決める動作と、PMOSトランジスタQ13、Q15がカレントミラー動作をすることについて説明す※

$$I3 = 1/2 \times \beta_{on} \times (W_{n1} \div L_{n1}) \times (V1 - V_{tn})^2 \quad \dots (6)$$

但し、(6)式において、 $\beta_{on}$  はプロセスで決まるパラメータ、 $W_{n1}$  はNMOSトランジスタQ14のチャネル幅、 $L_{n1}$  はそのチャネル長、 $V_{tn}$  はそのしきい値電圧である。

【0070】(6)式からわかるように、バイアス電流 $I3$ は、電源電圧 $VDD$ に依存せずに安定に流れる。また、NMOSトランジスタQ14のチャネル幅 $W_{n3}$ 、チャネル長 $L_{n3}$ を変えることによって、バイアス電流 $I3$ ★

$$I4 = I3 = 1/2 \times \beta_{op} \times (W_{p1} \div L_{p1}) \times (VDD - V2 - V_{tp})^2 \quad \dots (7)$$

但し、(7)式において、 $\beta_{op}$  はプロセスで決まるパラメータ、 $W_{p1}$  はPMOSトランジスタQ13のチャネル幅、 $L_{p1}$  はそのチャネル長、 $V_{tp}$  はそのしきい値電圧、 $V2$  はそのドレイン電圧である。

【0073】PMOSトランジスタQ13のドレイン電☆

$$I5 = 1/2 \times \beta_{op} \times (W_{p2} \div L_{p2}) \times (VDD - V2 - V_{tp})^2 \quad \dots (8)$$

但し、(8)式において、 $\beta_{op}$  はプロセスで決まるパラメータ、 $W_{p2}$  はPMOSトランジスタQ15のチャネル幅、 $L_{p2}$  はそのチャネル長、 $V_{tp}$  はそのしきい値電圧である。

【0076】ここで、PMOSトランジスタQ13とPMOSトランジスタQ15のトランジスタサイズを同一にすれば、 $I4 = I5$  となり、両MOSトランジスタQ13、Q15には同一の電流が流れる。従って、PMOSトランジスタQ13、Q15は、カレントミラーリーの動作をすることとなる。

【0077】次に、差動増幅回路12、出力増幅回路13の定電流源の動作について説明する。

【0078】PMOSトランジスタQ15に流れる電流 $I5$ は、NMOSトランジスタQ16に流れる電流 $I6$ となり、 $I5 = I6$ となる。また、NMOSトランジスタQ16は、NMOSトランジスタQ7、Q9とカレン

\* 【0063】PMOSトランジスタQ11に流れる電流 $I1$ は、PMOSトランジスタQ12に全て流れ込むため、 $I1 = I2$ となり、これを基準電圧 $V1$ について解くと、次の(5)式のようになる。

\* 【0064】

※る。

【0067】なお、以下の説明では、NMOSトランジスタQ14が飽和領域で動くように電源電圧 $VDD$ が与えられるとする。すなわち、 $V_{ds} - V_{tn} < V_{ds}$ を満たすように、つまり、 $V1 - V_{tn} < V2$  ( $\approx VDD - V_{tp}$ ) の関係が成り立つように電源電圧 $VDD$ が与えられているとする。

【0068】まず、NMOSトランジスタQ14に流れるバイアス電流 $I3$ は、次の(6)式のようになる。

【0069】

★を任意の値に設定することができる。従って、バイアス電流 $I3$ は、NMOSトランジスタQ14のサイズとそのゲートの印加される基準電圧回路111からの基準電圧 $V1$ で決まることになる。

【0071】また、PMOSトランジスタQ13に流れる電流 $I4$ は、上記のバイアス電流 $I3$ そのものであるので、電流 $I4$ は次の(7)式のようになる。

【0072】

☆圧 $V2$ は、NMOSトランジスタQ14で決まったバイアス電流 $I3$ が流れるよう決まる。

【0074】さらに、PMOSトランジスタQ15に流れる電流 $I5$ は、次の(8)式に示すようになる。

【0075】

ミラーの関係がある。このため、例えば、NMOSトランジスタQ16、Q7、Q9のトランジスタサイズを同一にすれば、NMOSトランジスタQ16、Q7、Q9には同一の電流が流れる。

【0079】次に、PMOSトランジスタQ11のしきい値電圧 $V_{tp}$  ( $P^+$ ) が、PMOSトランジスタQ12のしきい値電圧 $V_{tp}$  ( $N^+$ ) よりも低くなる理由について詳述する。

【0080】PMOSトランジスタのしきい値電圧は、上述したように一般に(2)式により表される。

【0081】(2)式において、ゲート電極の仕事関数 $\phi_g$  はそのゲート電極の材料により一義的に決定される。また、シリコン基板の仕事関数 $\phi_s$  も、不純物分布が一定ならば一義的に決定される。

【0082】従って、ゲート電極をポリシリコンで形成する場合には、ゲート電極への不純物濃度を変えると、

ゲート電極の仕事関数  $\phi_m$  が変わる。ゲート電極の極性が  $P^+$  のポリシリコンゲート電極の仕事関数  $\phi_{mp}$  と、その極性が  $N^+$  のポリシリコンゲート電極の仕事関数  $\phi_{mn}$  とを比較した場合、ゲート電極の極性を  $P^+$  とした方が仕事関数は大きくなる。

【0083】すなわち、ゲート電極の仕事関数  $\phi_{mp}$  とゲート電極の仕事関数  $\phi_{mn}$  の間には、次の(9)式の関係\*

$$V_{tp}(P^+) = -\{2\phi_f + \phi_{mp} - \phi_s - (Q_s/C_s) - (Q_{ss}/C_s)\} \quad \dots (10)$$

$$V_{tp}(N^+) = -\{2\phi_f + \phi_{mn} - \phi_s - (Q_s/C_s) - (Q_{ss}/C_s)\} \quad \dots (11)$$

さらに、(9)～(11)式により、次の(12)式が成立する。※

$$V_{tp}(N^+) - V_{tp}(P^+) = \phi_{mp} - \phi_{mn} > 0 \quad \dots (12)$$

(12)式から、PMOSトランジスタQ11のしきい値電圧  $V_{tp}(P^+)$  の方が、PMOSトランジスタQ12のしきい値電圧  $V_{tp}(N^+)$  よりも低くなることがわかる。

【0087】次に、本発明の演算增幅回路の第1実施形態の第1変形例～第3変形例について、図3～図5を参考して説明する。

【0088】第1変形例は、図1の出力增幅回路13を、図3に示すように出力增幅回路13Aに置き換えたものである。すなわち、図1の出力增幅回路13のNMOSトランジスタQ9を、図3に示すように抵抗R1に置き換えたものである。この第1変形例の他の部分の構成は、図1の演算增幅回路の構成と同様であるので、同一の構成部分には同一符号を付してその説明は省略する。

【0089】第2変形例は、図1の出力增幅回路13を、図4に示すように2段構成の出力增幅回路13Bに置き換えて利得を大きくするようにしたものである。すなわち、図1の出力增幅回路13のMOSトランジスタQ8、Q9、の他に、MOSトランジスタQ17、Q18、を追加するようにしたものである。この第2変形例の他の部分の構成は、図1の演算增幅回路の構成と同様であるので、同一の構成部分には同一符号を付してその説明は省略する。

【0090】第3変形例は、図1の出力增幅回路13を、図5に示すように出力增幅回路13Cに置き換えて★40

$$V1 = V_{tp2} - \sqrt{(W_{p1} \div L_{p1})} \times V_{tp1} \dots (17)$$

基準電圧回路111の基準電圧  $V1$  は、プロセスパラメータ  $\beta_0$ 、すなわち、キャリアの移動度  $u$ 、誘電率  $\epsilon$ 、およびゲート電極の酸化膜の厚さ  $t_{ox}$  に依存しなくなる。

【0096】次に、本発明の演算增幅回路の第1実施形態において、基準電圧回路111の基準電圧  $V1$  が、PMOSトランジスタQ11、Q12のチャネル幅やチャネル長

$$V1 = V_{tp2} - \sqrt{(\beta_{0p1} / \beta_{0p2})} \times V_{tp1} \dots (18)$$

従って、基準電圧回路111の基準電圧  $V1$  は、PMOSトランジスタQ11、Q12のチャネル長とチャネル

\* が成り立つ。

$$[0084] \phi_{mp} - \phi_{mn} > 0 \dots (9)$$

この結果、PMOSトランジスタQ11のしきい値電圧  $V_{tp}(P^+)$  と、PMOSトランジスタQ12のしきい値電圧  $V_{tp}(N^+)$  とは、次の(10)式と(11)式により表される。

$$[0085]$$

$$V_{tp}(P^+) = -\{2\phi_f + \phi_{mp} - \phi_s - (Q_s/C_s) - (Q_{ss}/C_s)\} \quad \dots (10)$$

$$V_{tp}(N^+) = -\{2\phi_f + \phi_{mn} - \phi_s - (Q_s/C_s) - (Q_{ss}/C_s)\} \quad \dots (11)$$

※【0086】

※

$$V_{tp}(N^+) - V_{tp}(P^+) = \phi_{mp} - \phi_{mn} > 0 \quad \dots (12)$$

★ブッシュルブル回路を実現するようにしたものである。

すなわち、図1の出力增幅回路13のMOSトランジスタQ8、Q9、の他に、MOSトランジスタQ19、Q20、を追加し、これによりブッシュル動作をさせるようにしたものである。この第3変形例の他の部分の構成は、図1の演算增幅回路の構成と同様であるので、同一の構成部分には同一符号を付してその説明は省略する。

【0091】次に、本発明の演算增幅回路の第1実施形態(第1～第3変形例を含む)において、基準電圧回路111の基準電圧  $V1$  が、PMOSトランジスタQ11、Q12のプロセスパラメータ  $\beta_0$  のばらつきに依存しないための条件について説明する。

【0092】図1の基準電圧回路111の基準電圧  $V1$  は、(5)式の通り表されるのは上述した通りである。

【0093】ここで、(5)式中のプロセスパラメータ  $\beta_0$  は、一般的に次の(16)式により表すことができる。

$$[0094] \beta_0 = (u \times \epsilon) / t_{ox} \dots (16)$$

(16)式中において、 $u$  はキャリアの移動度、 $\epsilon$  は誘電率、 $t_{ox}$  はゲート電極の酸化膜の厚さである。

【0095】従って、PMOSトランジスタQ11、Q12のキャリアの移動度  $u$ 、誘電率  $\epsilon$ 、ゲート電極の酸化膜の厚さ  $t_{ox}$  を、それぞれ同一にしてやれば、(5)式は次の(17)式のようになります。

$$[0095] V1 = V_{tp2} - \sqrt{(W_{p1} \div L_{p1})} \times V_{tp1} \dots (17)$$

★ネル長の物理的なプロセスのばらつきに依存しなくなるための条件について以下に説明する。

【0097】PMOSトランジスタQ11のチャネル長  $L_{p1}$  とチャネル幅  $W_{p1}$ 、およびPMOSトランジスタQ12のチャネル長  $L_{p2}$  とチャネル幅  $W_{p2}$  を同一にするとき、(5)式は次の(18)式のようになります。

$$[0098]$$

$$V1 = V_{tp2} - \sqrt{(\beta_{0p1} / \beta_{0p2})} \times V_{tp1} \dots (18)$$

従って、基準電圧回路111の基準電圧  $V1$  は、PMOSトランジスタQ11、Q12のチャネル長とチャネル

幅を同一にすると、チャネル長やチャネル幅の物理的なプロセスのばらつきに依存しなくなる。

【0099】この場合において、さらにPMOSトランジスタQ11、Q12のプロセスバラメータ $\beta_{op1}$ 、 $\beta_{op2}$ を同一にしてやれば、(18)式は次の(19)式のようになる。

$$[0100] V1 = V_{tp2} - V_{tp1} \dots (19)$$

従って、この場合には、基準電圧回路111の基準電圧\*

$$V1 = V_{tp2} - V_{tp1} = V_{tp} (N^+) - V_{tp} (P^+) = \phi_{np} - \phi_{nn} > 0 \dots (20)$$

つまり、PMOSトランジスタQ11、Q12を作成する場合に、(A) N-ウェル22、23の形成工程、(B) P+拡散層27、29、37、39の形成工程、(C) PMOSトランジスタQ11とPMOSトランジスタQ12とのチャネルドープ工程、および(D) PMOSトランジスタQ11とPMOSトランジスタQ12とのゲート酸化膜形成工程、これらを全て同一条件、同一工程により形成すれば、基準電圧V1は上記(20)式で示される通りとなる。すなわち、たとえ製造工程上でプロセスのばらつきが発生したとしても、それらのプロセスばらつきの要因は相殺されることになる。従つ※

$$I1 = (1/2) \times (u \times \varepsilon) / t_{ox} \times (W_{p1} / L_{p1}) \times (0 - V_{tp1})^2 \dots (21)$$

また、PMOSトランジスタQ12に流れる電流I2も(21)式と同様の式により表すことができる。

【0105】従って、基準電圧回路の消費電流は、PMOSトランジスタQ11、P12のチャネル長を長くすることにより抑えることができる。また、ゲート電極の酸化膜の厚さ $t_{ox}$ を厚くすることによっても、消費電流を抑えることができる。従って、この場合に、それを厚くした分だけチャネル長の長さを短くすれば、レイアウト的にトランジスタの面積を小さくできる。

【0106】次に、本発明の演算增幅回路の第1実施形態において、基準電圧回路111におけるPMOSトランジスタQ11、Q12の構造を、図2に代えて図6に示すようなLOCOSオフセット構造にするようにしても良い。

【0107】この場合には、例えばPMOSトランジスタQ11は、P-基板21中にN-ウェル22が形成され、そのN-ウェル22上にはフィールド酸化膜51が形成され、そのフィールド酸化膜51に囲まれた部分に形成されている。また、ゲート電極31とドレイン電極26、およびゲート電極31とソース電極28との間にP-拡散層52が形成されている。そして、そのP-拡散層52上に、酸化膜54が形成されている。

【0108】このようなLOCOSオフセット構造にすると、PMOSトランジスタQ11、Q12のドレイン★

$$I1 = 1/2 \times \beta_{op1} \times (W_{p1} / L_{p1}) \times (0 - V_{tp1})^2 \dots (22)$$

但し、(22)式において、 $\beta_{op1}$ はプロセスで決まるバラメータ、 $W_{p1}$ はPMOSトランジスタQ11-1の

\* V1は、プロセスバラメータ $\beta$ 、すなわち、キャリアの移動度u、誘電率 $\varepsilon$ 、およびゲート電極の酸化膜の厚さ $t_{ox}$ にも依存しなくなる。

【0101】ところで、(19)式と(12)式によれば、基準電圧回路111の基準電圧V1は、次の(20)式のように表すことができる。

【0102】

※て、PMOSトランジスタQ11、Q12のチャネル長とチャネル幅を同一にすれば、基準電圧V1はプロセスのばらつきに依存しなくなる。次に、本発明の演算增幅回路の第1実施形態において、基準電圧回路111におけるPMOSトランジスタQ11、Q12の消費電流を抑えるための方法について説明する。

【0103】PMOSトランジスタQ11に流れる電流I1は(3)式で表され、この電流I1が消費電流となる。(3)式に(16)式を代入すると、消費電流I1は、次の(21)式となる。

【0104】

★の耐圧が向上するので、演算增幅回路の動作電圧を上げることができる。

【0109】次に、本発明の演算增幅回路の第2実施形態について、図7を参照して説明する。

【0110】この演算增幅回路の第2実施形態は、図1に示す基準電圧回路111を図7に示すような基準電圧回路111Aに置き換えたものである。すなわち、図1の基準電圧回路111のPMOSトランジスタQ11を、ゲート電極の極性がP+であるデブレッショング型のPMOSトランジスタQ11-1、Q11-2に代え、これらを直列接続するようにしたものである。PMOSトランジスタQ11-1、Q11-2は2段構成であるが、3段またはそれ以上であっても良い。

【0111】なお、他の部分の構成は、図1の演算增幅回路の構成と同様であるので、同一の構成部分には同一符号を付してその説明は省略する。

【0112】このような構成によれば、PMOSトランジスタQ11-1、およびPMOSトランジスタQ11-2へのソース・ドレイン間の電圧を低減できるので、演算增幅回路の電源電圧を高くすることができる。

【0113】また、このような構成によれば、PMOSトランジスタQ11-1に流れる電流I1は、次の(22)式で表される。

【0114】

チャネル幅、 $L_{p1}$ はそのチャネル長、 $V_{tp1}$ はそのしきい値電圧である。

【0115】一方、PMOSトランジスタQ12に流れ  
る電流I2は、次の(23)式で表される。\*

$$I_2 = 1/2 \times \beta_{op2} \times (W_{p2}/L_{p2}) \times (V_1 - V_{tp2})^2 \dots (23)$$

但し、(23)式において、V1はPMOSトランジ  
スタQ11-1、Q12の共通接続点の電圧(基準電圧)  
である。

【0117】PMOSトランジスタQ11-1に流れる※

$$V_1 = V_{tp2} - \sqrt{(W_{p1}/L_{p1}) / (W_{p2}/L_{p2}) \times (\beta_{op1}/\beta_{op2})} \times V_{tp1} \dots (24)$$

(24)式によれば、基準電圧回路111Aの基準電圧  
V1は、電源電圧VDDに依存しないことがわかる。

【0119】なお、この第2実施形態における基準電圧  
回路111Aについては、第1実施形態における基準電  
圧回路111に関する説明内容が矛盾しない範囲で適用  
されるものとする。

【0120】次に、本発明の演算增幅回路の第3実施形  
態について、図8を参照して説明する。

【0121】この演算增幅回路の第3実施形態は、図1  
に示すバイアス回路11を、図8に示すようなバイアス  
回路11Aに置き換えたものである。すなわち、バイア  
ス回路11Aは、図8に示すように、図1の基準電圧回  
路111を基準電圧回路111Bに置き換えるとともに、  
図1のカレントミラーリー回路112を省略するように  
したものである。

【0122】基準電圧回路111Bは、図8に示すよう  
に、エンハンスマント型のPMOSトランジスタQ21  
と、デブレッショント型のPMOSトランジスタQ22と  
を直列に接続させ、この直列回路を電源ライン4と電源  
ライン5との間に接続させ、両PMOSトランジスタQ  
21、Q22のしきい値電圧の差に応じた電圧を基準電  
圧として発生させ、この発生させた基準電圧を両PMO  
SトランジスタQ21、Q22の共通接続部から取り出  
すようにしたものである。

【0123】なお、この基準電圧回路111Bは、図1  
における基準電圧回路111のPMOSトランジスタQ  
11と、PMOSトランジスタQ12とを、逆の位置に  
配置させたものに相当する。

【0124】さらに具体的に説明すると、PMOSトラ  
ンジスタQ21は、そのソース電極が電源ライン4に接  
続されるとともに、そのゲート電極とドレイン電極とが  
共通接続され、その共通接続部がPMOSトランジスタ  
Q22のソース電極とPMOSトランジスタQ15のゲ  
ート電極にそれぞれ接続されている。また、PMOSトラ  
ンジスタQ22は、そのゲート電極とそのソース電極  
とが共通接続され、その共通接続部がPMOSトランジ  
スタQ21のドレイン電極に接続されるとともに、その  
ドレイン電極が電源ライン5に接続されている。

【0125】PMOSトランジスタQ21の構造は、P  
MOSトランジスタQ12と同様であり、そのゲート電  
極はN型不純物を含んだポリシリコンで形成されてい

\*【0116】

※電流I1は、PMOSトランジスタQ12に全て流れ込  
むため、I1=I2となり、これを基準電圧V1につい  
て解くと、次の(24)式のようになる。

【0118】

10 る。また、PMOSトランジスタQ22の構造は、PM  
OSトランジスタQ11と同様であり、そのゲート電極  
はP型不純物を含んだポリシリコンで形成されている。  
なお、他の部分の構成は、図1の演算增幅回路の構成と  
同様であるので、同一の構成部分には同一符号を付して  
その説明は省略する。

【0126】次に、このような構成からなる第3実施形  
態の基準電圧回路111Bの動作について、図8を参照  
して説明する。

【0127】PMOSトランジスタQ21は、 $V_{cs} = V_{ds}$ より、 $V_{cs} - V_{tp} < V_{ds}$ が必ず成り立つので飽和領域  
20 で動作する。また、PMOSトランジスタQ22も $V_{cs} = 0$ より、 $V_{cs} - V_{tp} = -V_{tp} < V_{ds}$ が成り立つので飽  
和領域で動作する。従って、PMOSトランジスタQ2  
1、Q22のドレイン電流I21、I22は、次の(2  
5) (26)式のようになる。

【0128】

$$I_{21} = \beta/2 (V_{DD} - V_1 - V_{tp21})^2 \dots (25)$$

$$I_{22} = \beta/2 (0 - V_{tp22})^2 \dots (26)$$

ここで、(25)式中において、 $\beta$ は製造プロセスで決  
30 まる定数、VDDは電源電圧、V1は基準電圧回路11  
1Bが発生する基準電圧、 $V_{tp21}$ はPMOSトランジ  
スタQ21のしきい値電圧である。また、(26)式にお  
いて、 $V_{tp22}$ はPMOSトランジスタQ22のしきい値  
電圧である。

【0129】PMOSトランジスタQ21に流れる電流  
I21とPMOSトランジスタQ22に流れる電流I2  
2は等しいので、I21=I22が成り立ち基準電圧V  
1について解くと、基準電圧V1は次の(27)式のよ  
うになる。

40 【0130】

$$V_1 = V_{DD} - (V_{tp21} - V_{tp22}) \dots (27)$$

(27)式において、しきい値電圧 $V_{tp21}$ としきい値電  
圧 $V_{tp22}$ との関係は、 $V_{tp21} > V_{tp22}$ のため、電源電圧  
VDDを基準に、しきい値電圧 $V_{tp21}$ としきい値電圧 $V_{tp22}$   
との差( $V_{tp21} - V_{tp22}$ )の一定電圧を、基準電圧  
V1を得ることができる。従って、基準電圧回路111  
Bの発生する基準電圧V1は、電源電圧VSSが変化し  
てもそれに依存せずに一定になる。

【0131】次に、本発明の定電圧回路の第1実施形態  
について、図9を参照しながら説明する。

【0132】この定電圧回路の第1実施形態は、図1の演算増幅回路を利用して図9に示すような定電圧回路を構成するようにしたものである。

【0133】すなわち、この定電圧回路の第1実施形態は、図9に示すように、出力増幅回路13に、その出力増幅回路13の出力電圧を任意に分圧するトリミング回路14を備え、かつ、基準電圧回路111の発生基準電圧を差動増幅回路12の一方の入力端子（正入力端子）に入力するとともに、トリミング回路14の分圧電圧を差動増幅回路12の他方の入力端子（負入力端子）に入力するようにしたものである。

【0134】トリミング回路14は、抵抗R10とトリミング用の可変抵抗器VRを直列接続し、この直列回路を出力増幅回路13の出力端子と電源電圧VSSとの間に接続するとともに、抵抗R10と可変抵抗器VRの共通接続部を差動増幅回路12のNMOSトランジスタQ4のゲート電極と接続している。

【0135】なお、他の部分の構成は、図1の演算増幅回路の構成と同様であるので、同一の構成部分には同一符号を付してその説明は省略する。

【0136】このような構成からなる定電圧回路の第1実施形態によれば、図1の演算増幅回路を利用して構成するようにしたので、低消費電流化が可能で、電源電圧に依存せず、かつ量産ばらつきも小さく抑えることができる定電圧回路を提供することができる。

【0137】ところで、図11に示す従来の演算増幅回路を利用して図9に相当する定電圧回路を構成する場合には、バイアス回路1の基準電圧V1は、 $V1 = 0.70 \pm 0.15$ V程度となる。この場合には、そのばらつきが $\pm 2\%$ となるので、これを $\pm 2\%$ （1/10程度）に減少するためにトリミング回路14に相当するトリミング回路でトリミングする必要があり、これには4ビット（16状態）でのトリミングが必要となる。

【0138】一方、この実施形態の場合には、基準電圧回路111の基準電圧V1は、 $V1 = 1.05 \pm 0.10$ V程度となる。この場合には、そのばらつきが $\pm 5\%$ に減少でき、これを $\pm 2\%$ （1/5程度）に減少するためにはトリミング回路14でトリミングする必要があるが、これには3ビット（8状態）でのトリミングで足りる。従って、トリミング回路14の規模を従来に比べて小さくできるので、全体の面積を小さくすることができる。

【0139】なお、図9で示す定電圧回路の第1実施形態は、図1の演算増幅回路を利用して定電圧回路を構成するものとしたが、図1の演算増幅回路に代えて、図3～図5および図7に示す各演算増幅回路を利用して定電圧回路を構成するようにしても良い。

【0140】次に、本発明の定電圧回路の第2実施形態について、図10を参照しながら説明する。

【0141】この定電圧回路の第2実施形態は、図8の

演算増幅回路を利用して図10に示すような定電圧回路を構成するようにしたものである。

【0142】すなわち、この定電圧回路の第2実施形態は、図10に示すように、出力増幅回路13に、その出力増幅回路13の出力電圧を任意に分圧するトリミング回路14を備え、かつ、基準電圧回路111Bの発生基準電圧を差動増幅回路12の一方の入力端子（正入力端子）に入力するとともに、トリミング回路14の分圧電圧を差動増幅回路12の他方の入力端子（負入力端子）に入力するようにしたものである。

【0143】なお、トリミング回路14の構成は、図9のトリミング回路14の構成と同一であるので、その説明は省略する。また、その他の部分の構成は、図8の演算増幅回路の構成と同様であるので、同一の構成部分には同一符号を付してその説明は省略する。

【0144】このような構成からなる定電圧回路の第2実施形態によれば、図8の演算増幅回路を利用して構成するようにしたので、低消費電流化が可能で、電源電圧に依存せず、かつ量産ばらつきも小さく抑えることができる定電圧回路を提供することができる。

【0145】

【発明の効果】以上説明したように、本発明の演算増幅回路によれば、低消費電流化が可能で、電源電圧に依存せず、かつ量産ばらつきも小さく抑えることができる。

【0146】また、本発明の定電圧回路によれば、本発明の演算増幅回路を使用するようにしたので、低消費電流化が可能で、電源電圧に依存せず、かつ量産ばらつきも小さく抑えることができる。

【0147】さらに、本発明の基準電圧回路によれば、

30 電源電圧に依存しない基準電圧を発生できる。

【図面の簡単な説明】

【図1】本発明の演算増幅回路の第1実施形態の構成を示す回路図である。

【図2】その第1実施形態の物理的な構造例を示す断面図である。

【図3】その第1実施形態の第1変形例の構成を示す回路図である。

【図4】その第1実施形態の第2変形例の構成を示す回路図である。

40 【図5】その第1実施形態の第3変形例の構成を示す回路図である。

【図6】その第1実施形態の物理的な構造の他の例を示す断面図である。

【図7】本発明の演算増幅回路の第2実施形態の構成を示す回路図である。

【図8】本発明の演算増幅回路の第3実施形態の構成を示す回路図である。

【図9】本発明の定電圧回路の第1実施形態の構成を示す回路図である。

50 【図10】本発明の定電圧回路の第2実施形態の構成を

示す回路図である。

【図11】従来の演算增幅回路の構成を示す回路図である

### 【符号の説明】

## Q11、Q22 デプレッション型のPMOSトランジスタ

## Q12、Q21 エンハンスメント型のPMOSトランジスタ

### \* 11, 11A バイアス回路

## 1.2 差動增幅回路

### 13、13A、13B、13C 出力增幅回路

## 14 トリミング回路

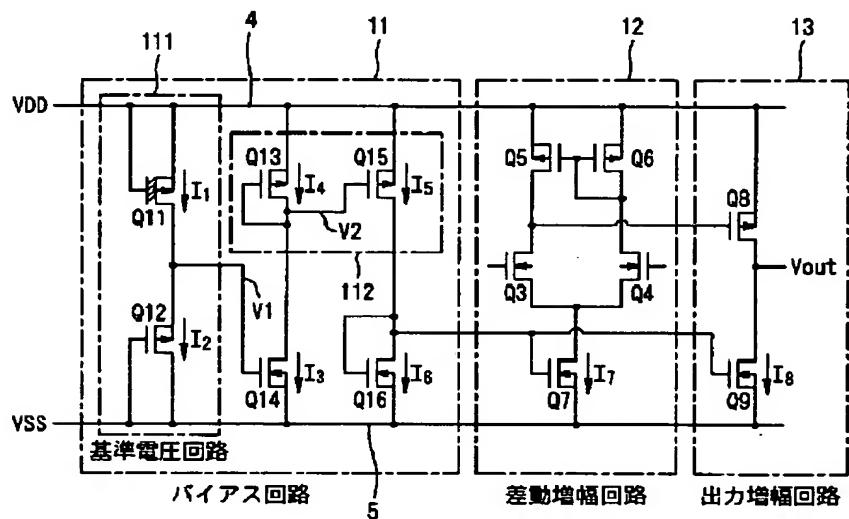
### 31、41 ゲート電極

### 1 1 1、1 1 1A、1 1 1B 基準電圧回路

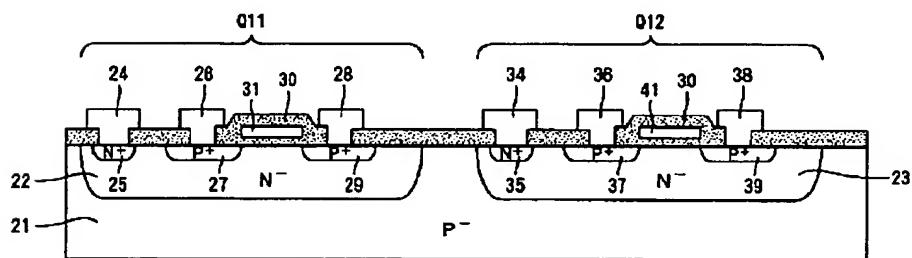
112 カレントミラー回路

\*

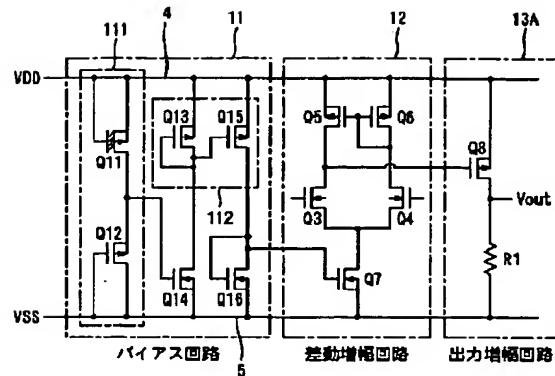
[図1]



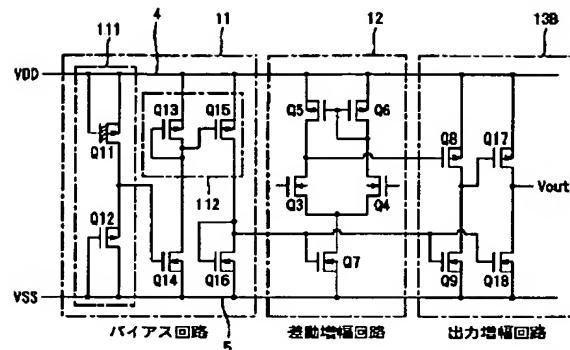
(図2)



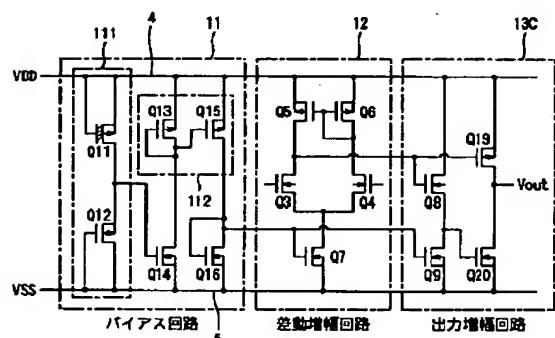
【図3】



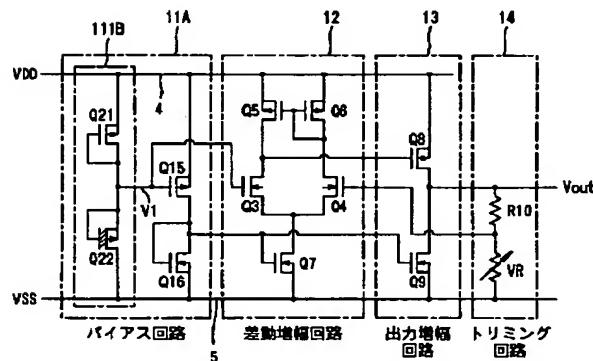
[図4]



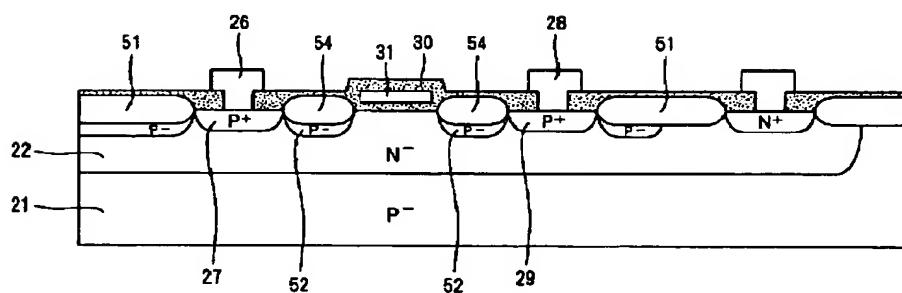
[図5]



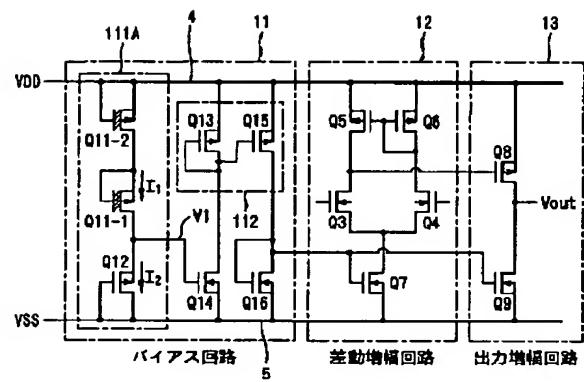
[図10]



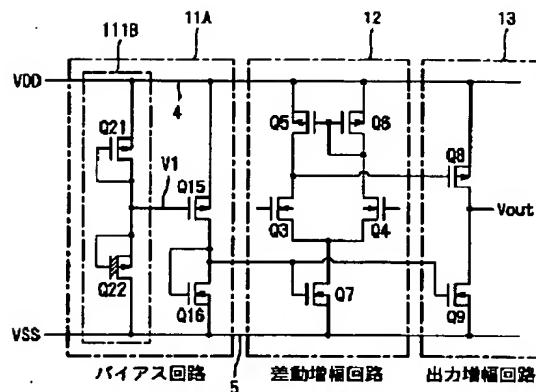
[図6]



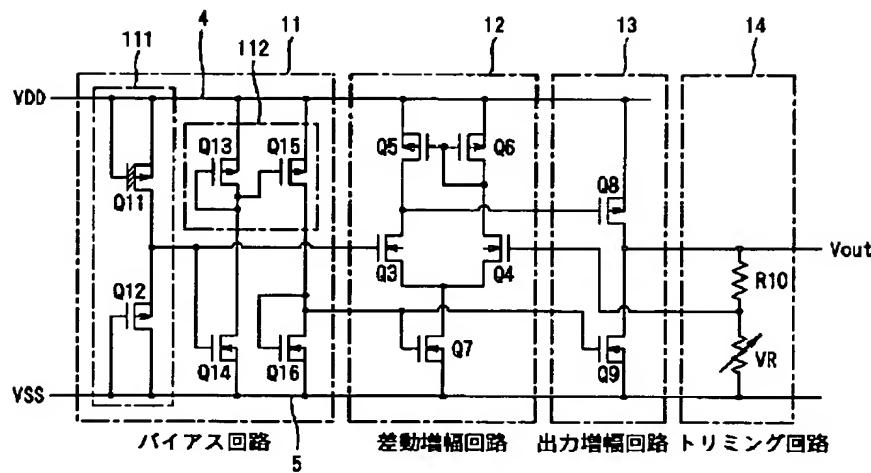
【図7】



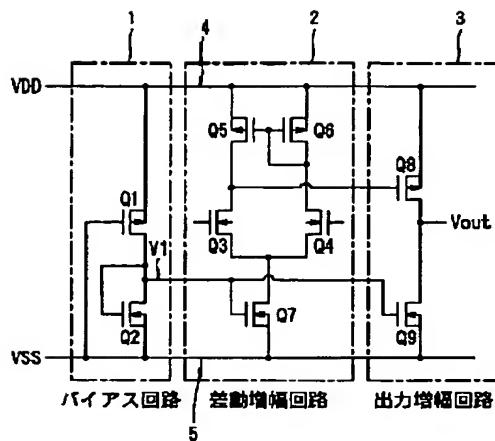
【図8】



【図9】



【図11】




---

フロントページの続き

F ターム(参考) 5H420 NA31 NB02 NB22 NB25 NC02  
 NC03 NE26  
 5J066 AA01 AA47 AA58 CA04 CA14  
 CA36 FA02 FA16 HA10 HA14  
 HA15 HA17 HA25 HA26 KA00  
 KA02 KA11 KA12 ND01 ND14  
 ND22 ND23 PD01 QA02  
 5J090 AA01 AA47 AA58 CA04 CA14  
 CA36 CN04 FA02 FA16 FN01  
 HA10 HA14 HA15 HA17 HA25  
 HA26 KA00 KA02 KA09 KA11  
 KA12 QA02  
 5J092 AA01 AA47 AA58 CA04 CA14  
 CA36 FA02 FA16 HA10 HA14  
 HA15 HA17 HA25 HA26 KA00  
 KA02 KA09 KA11 KA12 QA02